

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-326949

(43) 公開日 平成11年(1999)11月26日

(51) Int. Cl.⁶

G 0 2 F 1/136
1/1333
1/1343

識別記号

5 0 0
5 0 5

F I

G 0 2 F 1/136 5 0 0
1/1333 5 0 5
1/1343

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平10-135125

(22) 出願日 平成10年(1998)5月18日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 永山 耕平

埼玉県深谷市幡羅町一丁目9番2号 株式
会社東芝深谷電子工場内

(72) 発明者 花澤 康行

埼玉県深谷市幡羅町一丁目9番2号 株式
会社東芝深谷電子工場内

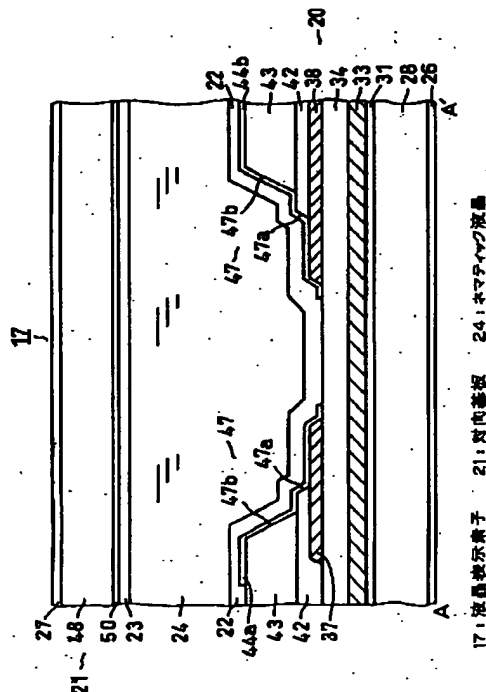
(74) 代理人 弁理士 大胡 典夫 (外1名)

(54) 【発明の名称】 アクティブマトリクス型液晶表示素子

(57) 【要約】

【課題】 着色絶縁膜を介して配置される画素電極とソース電極及び画素電極と補助容量電極を電氣的に導通するためのスルーホールを、製造歩留まりをの低下する事無く確実に形成し、液晶表示素子の導通不良による点欠陥を防止すると共に、スルーホールによる液晶表示素子の開口率の低下を防止して明るさ及びコントラストを向上し良好な表示品位を得る。

【解決手段】 ゲート線33上方にて、有機樹脂絶縁膜43及び透明保護絶縁膜42を貫通して、ソース電極37及び補助容量電極38に達する単一のスルーホール47を形成し、このスルーホール47を介して前段の画素電極44aとソース電極37及び、次段の画素電極44bと補助容量電極38を電氣的に接続して厚膜で加工の難しい着色絶縁層43におけるスルーホール47の加工数を半減すると共に画素電極44内の遮光領域を低減する。



【特許請求の範囲】

【請求項1】 絶縁基板上にゲート線と、このゲート線と交差するよう配線される信号線と、前記ゲート線及び前記信号線の交点に配列され少なくとも、チャンネル領域を挟みソース領域及びドレイン領域を有する半導体層、前記ゲート線と一体のゲート電極、前記ソース領域に接続されるソース電極並びに前記ドレイン領域に接続されるドレイン電極を有するスイッチング素子と、前記ゲート線と補助容量を形成する補助容量電極と、前記スイッチング素子及び前記補助容量電極を被覆する有機樹脂絶縁膜と、この有機樹脂絶縁膜上の前記ゲート線及び前記信号線に囲まれる領域にマトリクス状に配置され前記有機樹脂絶縁膜に形成されたスルーホールを介して前記ソース電極に接続される複数の画素電極を有するアレイ基板と、

前記アレイ基板に間隙を隔てて対向配置される対向基板と、

前記アレイ基板及び前記対向基板間に封入される液晶組成物とを具備する液晶表示装置において、

前記補助容量電極が前記ソース電極と共通のスルーホールを介して前記有機樹脂絶縁膜より露出され、かつ前記ソース電極に接続された画素電極と前記ゲート線を挟んで隣接する他の画素電極に対し前記スルーホールを介して接続されている事を特徴とするアクティブマトリクス型液晶表示素子。

【請求項2】 ソース電極はゲート線と重畳する位置まで延在される事を特徴とする請求項1に記載のアクティブマトリクス型液晶表示素子。

【請求項3】 スルーホールはゲート線の内側の領域上に形成される事を特徴とする請求項2に記載のアクティブマトリクス型液晶表示素子。

【請求項4】 有機樹脂絶縁膜とソース電極及び補助容量電極の層間には無機絶縁膜が形成され、前記ソース電極及び前記補助容量電極はそれぞれに対応して形成されたスルーホールを介して前記無機絶縁膜より露出される事を特徴とする請求項1に記載のアクティブマトリクス型液晶表示素子。

【請求項5】 有機樹脂絶縁膜は着色層であることを特徴とする請求項1乃至請求項4のいずれかに記載のアクティブマトリクス型液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電極基板間に液晶組成物を保持して成る液晶表示素子において、マトリクス状に配列されたスイッチング素子にて画素電極を駆動するアクティブマトリクス型液晶表示素子に関する。

【0002】

【従来の技術】 近年、薄型軽量且つ高密度大容量でありながら高機能更には高精細を得る液晶表示素子の開発が図られ、特に高開口率化のために、透明な画素電極を、

薄膜トランジスタ（以下TFTと称する。）や金属・絶縁膜・金属（MIM）素子等のスイッチング素子を覆うように配置して成る、画素上置き構造の液晶表示素子が注目されている。更にカラーフィルタとのずれを考慮する必要が無く製造歩留まりの向上を得られるため、画素電極下に有機樹脂絶縁膜を形成して成るカラーフィルタ—体型のアレイ基板を用いて成るアクティブマトリクス型液晶表示素子の開発が成されていた。

【0003】 このようなカラーフィルタ—体型のアレイ基板を用いて成るアクティブマトリクス型液晶表示素子は、従来図7及び図8に示す様に形成されていた。即ち液晶表示素子1のアレイ基板2は、カラーフィルタである有機樹脂絶縁膜11と一体的に形成され、アレイ基板2上の信号線3とゲート線4の交差部には、画素電極6のスイッチング素子であるTFT7が形成されている。TFT7のソース電極8及び前段の画素電極6aは、透明絶縁膜10と有機樹脂絶縁膜11を貫通する第1のスルーホール12を介して電気的に接続され、ゲート線4と補助容量を形成する補助容量電極13及び次段の画素電極6bは、透明絶縁膜10と有機樹脂絶縁膜11を貫通する第2のスルーホール14を介して電気的に接続されている。

【0004】 又一般的に、カラー表示を得るための十分な色純度のカラーフィルタを得るためには、カラーフィルタを構成する有機樹脂絶縁膜の膜厚を約3 μ mと厚くする必要がある。

【0005】

【発明が解決しようとする課題】 従来画素電極上置きタイプのカラーフィルタ—体型のアレイ基板にあっては、有機樹脂絶縁膜を貫通する2個のスルーホールを介して前段の画素電極及びソース電極或いは次段の画素電極及び補助容量電極を夫々電気的に接続していた。一方カラーフィルタを構成する有機樹脂絶縁膜の膜厚は、良好なカラー表示を行うための十分な色純度のカラーフィルタを得るためには、約3 μ mと厚くする必要がある。

【0006】 このため厚膜の有機樹脂絶縁膜を貫通して成るスルーホールは、その加工が難しく、貫通穴を完全に形成できずに形成不良を発生し、点欠陥などの表示不良を発生し易く、液晶表示素子の表示品位の低下を来たすという問題を生じていた。しかも、従来のアレイ基板にあっては加工の難しい厚膜の有機樹脂絶縁膜におけるスルーホールを1画素電極当たり2個必要とすることから、スルーホールの形成不良によるアレイ基板の歩留まりを一層低下していた。

【0007】 又有機樹脂絶縁膜が厚膜であることからスルーホール径の最小加工寸法は10 μ m以上と大きく、このようなアレイ基板を用いた液晶表示素子は開口率が低下し、明るさ及びコントラストの低下により表示品位が著しく低下するという問題も生じていた。

【0008】このため本発明は上記課題を解決するもので、有機樹脂絶縁膜を貫通するスルーホールを介して前段の画素電極とソース電極或いは次段の画素電極と補助容量電極とを電気的に接続する際に、スルーホールの形成不良を防止し、点欠陥などの表示不良による表示品位の低下を防止すると共に、スルーホールにより、液晶表示領域の開口率が低下するのを防止し、表示画像の明るさ及びコントラストの向上を図り高品位の表示を行う事が出来るアクティブマトリクス型液晶表示素子を提供する事を目的とする。

【0009】

【課題を解決するための手段】本発明は上記課題を解決する為、絶縁基板上にゲート線と、このゲート線と交差するよう配線される信号線と、前記ゲート線及び前記信号線の交点に配列され少なくとも、チャンネル領域を挟みソース領域及びドレイン領域を有する半導体層、前記ゲート線と一体のゲート電極、前記ソース領域に接続されるソース電極並びに前記ドレイン領域に接続されるドレイン電極を有するスイッチング素子と、前記ゲート線と補助容量を形成する補助容量電極と、前記スイッチング素子及び前記補助容量電極を被覆する有機樹脂絶縁膜と、この有機樹脂絶縁膜上の前記ゲート線及び前記信号線に囲まれる領域にマトリクス状に配置され前記有機樹脂絶縁膜に形成されたスルーホールを介して前記ソース電極に接続される複数の画素電極を有するアレイ基板と、前記アレイ基板に間隙を隔てて対向配置される対向基板と、前記アレイ基板及び前記対向基板間に封入される液晶組成物とを具備する液晶表示装置において、前記補助容量電極が前記ソース電極と共通のスルーホールを介して前記有機樹脂絶縁膜より露出され、かつ前記ソース電極に接続された画素電極と前記ゲート線を挟んで隣接する他の画素電極に対し前記スルーホールを介して接続されているものである。

【0010】上記構成により本発明は、有機樹脂絶縁膜を貫通してソース電極から補助容量電極に達する単一のスルーホールを形成して、この単一スルーホールを介して前段の画素電極とソース電極或いは次段の画素電極と補助容量電極との電気的な接続を行い、厚膜の有機樹脂絶縁膜に形成する1画素電極当たりのスルーホールの数を1個にして加工数を低減し、しかも単一のスルーホールの加工寸法の拡大により加工性を良くする事により、製造歩留まりの向上を図り、スルーホール形成不良による点欠陥を防止して液晶表示素子の表示品位の向上を図るものである。又スルーホールをゲート線上に配置する事により、液晶表示素子の開口率を拡大し、表示画像の明るさ及びコントラストを向上して表示品位の向上を図るものである。

【0011】

【発明の実施の形態】以下、本発明の実施の形態を図1乃至図4を参照して説明する。17はアクティブマトリ

クス型の液晶表示素子であり、画素電極44のスイッチング素子として画素TFT18を用いるアレイ基板20と、対向基板21との間に、配向膜22、23を介して液晶組成物であるネマティック液晶24を封入して成っている。又、26、27は、アレイ基板20及び対向基板21の外側に夫々貼着される偏光板である。

【0012】アレイ基板20は、透明なガラス等からなる透明絶縁基板28上に多結晶シリコンからなるチャンネル領域30a、多結晶シリコンを低抵抗化して成るソース領域30b及びドレイン領域30cを有する半導体層30がパターン形成され、その上に膜厚100nmの酸化シリコン(SiOx)等からなるゲート絶縁膜31を介し、厚さ400nmのタンタル(Ta)、クロム(Cr)、アルミニウム(Al)、モリブデン(Mo)、タングステン(W)、銅(Cu)等金属あるいはこれ等金属の単体又はその積層膜或いは合金膜からなりゲート電極32を一体的に形成して成るゲート線33がパターン形成されている。

【0013】これ等の上に成膜される膜厚500nmの酸化シリコン(SiOx)等の絶縁膜からなる層間絶縁膜34上には、厚さ500nmのタンタル(Ta)、クロム(Cr)、アルミニウム(Al)、モリブデン(Mo)、タングステン(W)、銅(Cu)等金属あるいはこれ等金属の単体又はその積層膜或いは合金膜からなるドレイン電極36aと一体の信号線36、ソース電極37、補助容量電極38がパターン形成されている。ドレイン電極36a及びソース電極37は、コンタクトホール40、41を介しドレイン領域30c及びソース領域30bに電気的に接続され、画素電極44を駆動する画素TFT18を形成している。尚ソース電極37は、このタクトホール41からゲート線33上方に達する様パターン形成されている。

【0014】これ等の上には、窒化シリコン(SiNx)等の絶縁膜からなる無機絶縁膜である透明保護絶縁膜42及び有機樹脂絶縁膜である膜厚3μmの緑(G)、青(B)、赤(R)の着色絶縁層43が形成され、更に厚さ100nmのインジウム錫酸化物(以下ITOと略称する。)からなる画素電極44がパターン形成されている。そして前段の画素電極44aは、着色絶縁層43及び透明保護絶縁膜42を貫通してソース電極37及び補助容量電極38に達するスルーホール47を介しソース電極37に接続し、次段の画素電極44bも、スルーホール47を介し補助容量電極38に接続している。

【0015】一方対向基板21は、透明なガラス等からなる透明絶縁基板48上にITOからなる対向電極50を有している。

【0016】次に図4を参照してアレイ基板20の製造方法について述べる。先ず透明絶縁基板28上にCVD法などによりアモルファスシリコン膜を50nm被着し

て450℃で1時間炉アニールを行った後、XeClエキシマレーザを照射し、アモルファスシリコン膜を多結晶化して多結晶シリコン膜を形成する。その後、多結晶シリコン膜をフォトリソ法によりパターンニングして、表示領域内の画素TFT18の半導体層30をパターン形成する。

【0017】次に、図4(a)に示すようにCVD法により透明絶縁基板28の全面にゲート絶縁膜31となる酸化シリコン(SiO_x)膜を100nm成膜する。続いて図4(b)に示すようにゲート絶縁膜31上に tantalum (Ta)、クロム(Cr)、アルミニウム(Al)、モリブデン(Mo)、タングステン(W)、銅(Cu)等金属あるいはこれ等金属の単体又はその積層膜或いは合金膜を成膜し、フォトリソ法によりゲート電極32及びゲート線33をパターン形成する。次いでゲート電極32をマスクとして半導体層30のチャネル領域30a両側にイオン注入やイオンドーピング法により不純物を注入して、ソース領域30b及びドレイン領域30cを形成する。不純物の注入は、例えば加速電圧80keVで 5×10^{15} atoms/cm²のドーズ量で、PH₃/H₂(ホスフィン/水素)によりP(リン)を高濃度注入する。その後、透明絶縁基板28をアニールすることにより不純物を活性化する。

【0018】更に図4(c)に示すように、例えばPECVD法を用いて透明絶縁基板28の全面に層間絶縁膜34を成膜し、フォトリソ法により、層間絶縁膜34に画素TFT18のドレイン領域30cとソース領域30bに至るコンタクトホール40、41を形成する。次に、タantalum (Ta)、クロム(Cr)、アルミニウム(Al)、モリブデン(Mo)、タングステン(W)、銅(Cu)等金属あるいはこれ等金属の単体又はその積層膜或いは合金膜を500nm成膜し、図4(d)に示すようにフォトリソ法により所定の形状にパターンニングし、ドレイン電極36aと一体の信号線36、ソース電極37、補助容量電極38を形成する。これにより、コンタクトホール40、41を介し信号線36と一体のドレイン電極36aはドレイン領域30cに電気的に接続され、ソース電極37はソース領域30bに電気的に接続される。

【0019】次にPECVD法により図4(e)に示すように、透明絶縁基板28の全面に窒化シリコン(SiNx)からなる透明保護絶縁膜42を成膜し、図4(f)に示すようにフォトリソ法により透明保護絶縁膜42に、ゲート線33上にてソース電極37から補助容量電極38に達するスルーホール47の第1の部分47aを形成する。更にPECVD法により図4(g)に示すように着色絶縁層43を成膜し、図4(h)に示すようにフォトリソ法により着色絶縁層43にソース電極37及び補助容量電極38に達するスルーホール47の第2の部分47bを形成してスルー

ホール47を貫通する。これ等の上にITOをスパッタ法により100nm成膜し、フォトリソ法により所定の形状にパターンニングして、図4(i)に示すように画素電極44を形成する。これにより、スルーホール47を介し前段の画素電極44aはソース電極37に電気的に接続し、次段の画素電極44bは補助容量電極38に電気的に接続する。

【0020】次に対向基板21にあっては、透明絶縁基板48上にスパッタ法によりITOから成る対向電極50を全面に形成する。そしてアレイ基板20及び対向基板21の対向面に、夫々低温キュア型のポリイミドからなる配向膜22、23を印刷塗布し、両基板22、23の対向時に配向軸が90°となるようにラビング処理をした後、両基板20、21を対向して組み立て、セル化してその間隙にネマティック液晶24を注入し封止する。そして、両基板20、21の透明絶縁基板28、48側に偏光板26、27を貼り付けることにより液晶表示素子17を形成する。

【0021】この様に構成すれば、前段の画素電極44aとソース電極37との接続及び、次段の画素電極44bと補助容量電極38との接続のための1画素当たりのスルーホール47が単一であることから、着色絶縁層43が厚膜であり、スルーホール47の加工が難しくても、その加工数を従来に比し半減する事により製造歩留まりを向上出来る。しかもスルーホール47は、ソース電極37及び補助容量電極38に共通であり、従来の様にソース電極及び補助容量電極夫々に個別に形成するものに比し加工寸法が拡大される事により加工性を向上出来る事からも、形成不良による点欠陥などの表示不良を生じる事もなく、歩留まりの向上を図れる。

【0022】更にソース電極37を画素電極44内のソース領域30bからゲート線33上方に延在するよう配線して、加工面積の大きいスルーホール47を、画素電極44内では無くゲート線33上方に配置する事により、ゲート線33がスルーホール47の遮光を兼ねることとなり、画素電極44内にスルーホール47のための遮光領域を設ける必要が無いことから、液晶表示素子17の開口率を向上出来、より明るくコントラストの良い表示画像を得られ、表示品位を向上出来る。

【0023】尚本発明は上記実施の形態に限られるものではなく、その趣旨を変えない範囲での変更は可能であって、例えば、着色絶縁層及び透明保護絶縁膜を貫通して成る単一のスルーホールの配置位置はゲート線上方に限られる事無く、画素電極内に配置されていても良い。又、スルーホールの形状も厚膜で加工し難い着色絶縁層の部分が単一であれば良く、図5及び図6に示す変形例の様に、信号線36、ソース電極37、補助容量電極38上の透明保護絶縁膜42にあっては、ゲート線33上方にてソース電極37に達する第1のスルーホール51及び補助容量電極38に達する第2のスルーホール52

を夫々に形成する一方、着色絶縁層43にあっては、第1のスルーホール51及び第2のスルーホール52上方にてソース電極37及び補助容量電極38に達する単一の第3のスルーホール53を形成する事により、第1のスルーホール51及び第3のスルーホール53を介して前段の画素電極44aをソース電極37に接続し、第2のスルーホール52及び第3のスルーホール53を介して次段の画素電極44bを補助容量電極38に接続しても良い。この様に形成すれば、厚膜の着色絶縁層43に形成される第3のスルーホール53は1画素当たり1個であることから、従来の装置に比し製造歩留まり向上を図れる。

【0024】又アレイ基板の構造も任意であり、画素TFTの半導体層をアモルファスシリコンで形成しても良いし、着色絶縁層が透明絶縁層を兼用し、ソース電極及び補助容量電極を絶縁するため、透明絶縁層を介する事無くソース電極及び補助容量電極上に着色絶縁層を直接成膜する等しても良い。

【0025】

【発明の効果】以上説明したように本発明によれば、有機樹脂絶縁膜のスルーホールを1画素当たり1個とし、この単一のスルーホールを介して前段の画素電極とソース電極との接続及び、次段の画素電極と補助容量電極との接続を行う事により、厚膜で加工の難しい有機樹脂絶縁膜におけるスルーホールの加工数を従来に比し半減出来、アレイ基板の製造歩留まりを従来に比し向上出来る。更にスルーホールを個別に形成していた場合に比し、スルーホールの加工寸法を拡大出来るので、加工性が良くなり形成不良による点欠陥などの表示不良を低減出来る事からも製造歩留まりの向上を図れる。

【0026】又ソース電極をゲート線上方迄延在して、ゲート線上方にてソース電極に対するスルーホールを形成する事により、画素電極内の遮光領域を縮小出来る。これにより液晶表示素子の開口率を向上出来、より明るくコントラストの良い表示画像を得られ、表示品位向上を図れる。

【図面の簡単な説明】

【図1】本発明の実施の形態のアレイ基板を示す一部概略平面図である。

【図2】本発明の実施の形態のアレイ基板に形成されるスルーホール部分を示す概略平面図である。

【図3】本発明の実施の形態の液晶表示素子を示す図2

のA-A'線における概略断面図である。

【図4】本発明の実施の形態のアレイ基板の製造工程を示し、(a)はそのゲート絶縁膜成膜時、(b)はそのゲート線形成時、(c)はその層間絶縁膜成膜時、(d)はそのソース電極、補助容量電極形成時、(e)はその透明保護絶縁膜成膜時、(f)はそのスルーホールの第1の部分形成時、(g)はその着色絶縁膜成膜時、(h)はそのスルーホールの第2の部分形成時、(i)はその画素電極形成時を示す概略説明図である。

【図5】本発明の他の変形例のアレイ基板に形成されるスルーホール部分を示す概略平面図である。

【図6】本発明の他の変形例の液晶表示素子を示す図5B-B'線における概略断面図である。

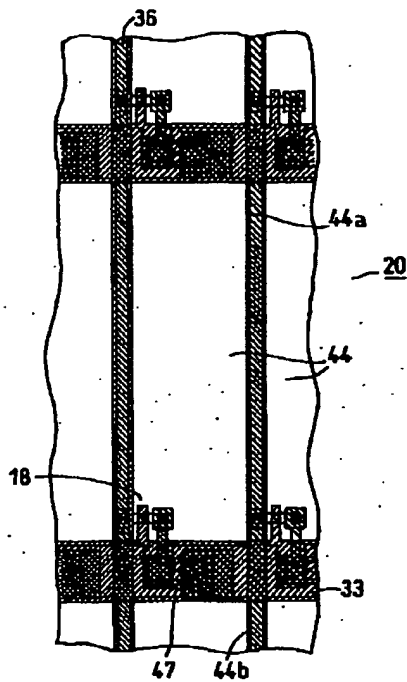
【図7】従来のアレイ基板を示す一部概略平面図である。

【図8】従来の液晶表示素子を示す図7のC-C'線における概略断面図である。

【符号の説明】

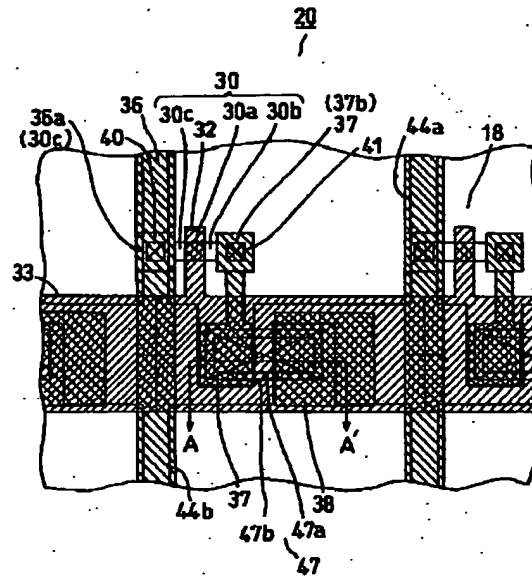
- 17…液晶表示素子
- 18…画素TFT
- 20…アレイ基板
- 21…対向基板
- 22、23…配向膜
- 24…ネマティック液晶
- 26、27…偏光板
- 28…透明絶縁基板
- 30…半導体層
- 31…ゲート絶縁膜
- 32…ゲート電極
- 33…ゲート線
- 34…層間絶縁膜
- 36…信号線
- 37…ソース電極
- 38…補助容量電極
- 40、41…コンタクトホール
- 42…透明保護絶縁膜
- 43…着色絶縁膜
- 44…画素電極
- 47…スルーホール
- 48…透明絶縁基板
- 50…対向基板

【図1】



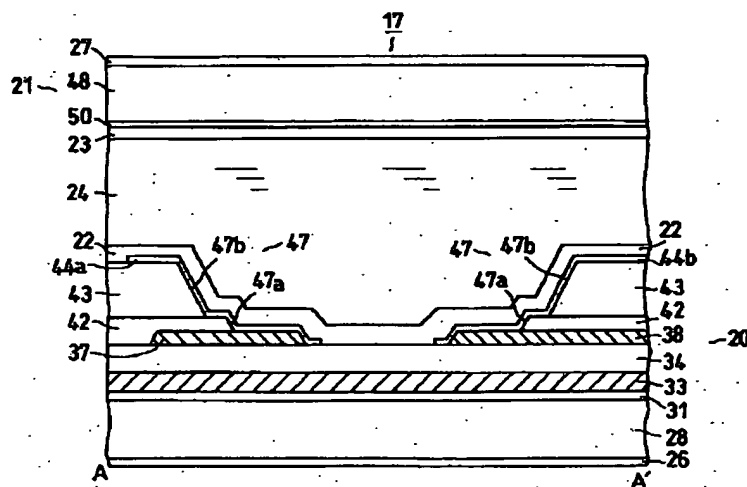
18: 画素 TFT 20: アレイ基板 33: ゲート線 36: 信号線
 44: 画素電極 44a: 前段の画素電極 44b: 後段の画素電極
 47: スルーホール

【図2】



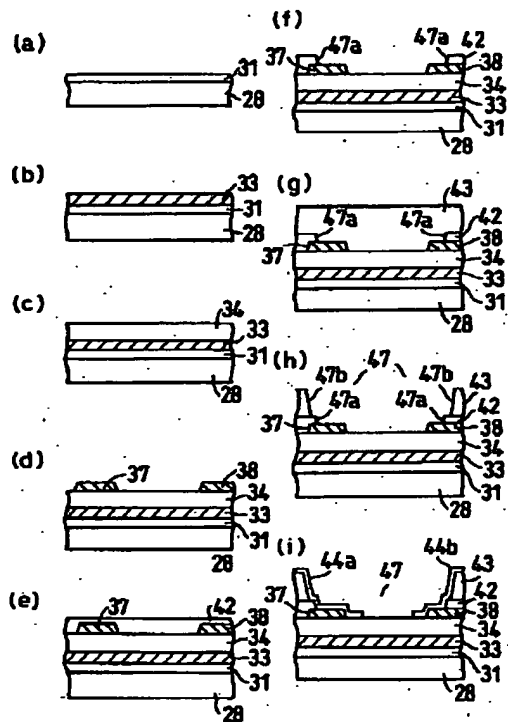
30: 半導体層 32: ゲート電極 37: ソース電極
 38: 補助容量電極 40, 41: エンタクトホール

【図3】

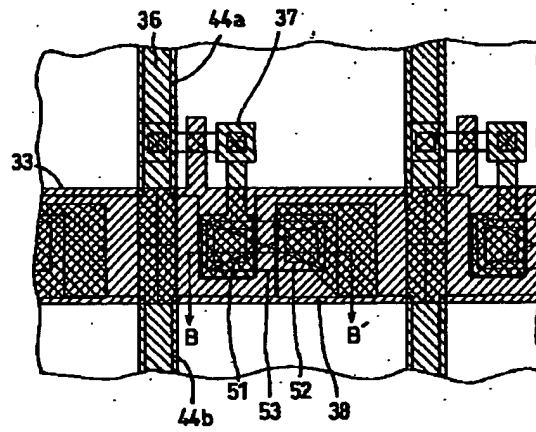


17: 液晶表示素子 21: 対向基板 24: ネマティック液晶

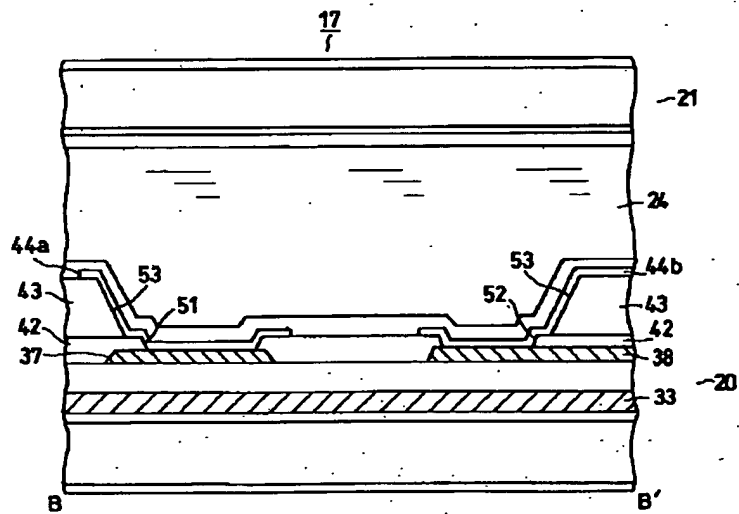
【図4】



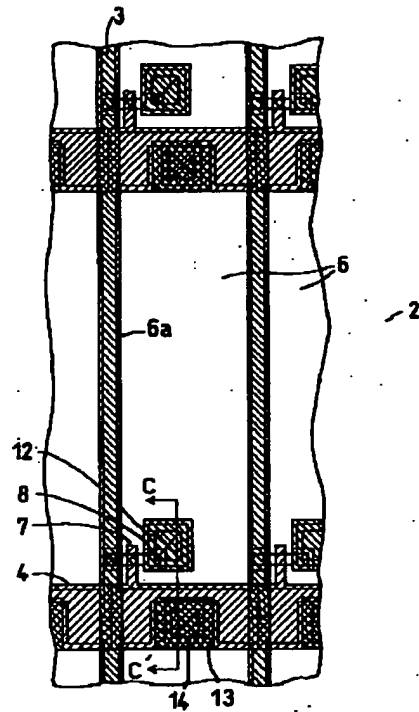
【図5】



【図6】



【図7】



【図8】

